Also published as:

EP1168437 (A2)

JP2002075981 (A)

Semiconductor device protective overcoat with enhanced adhesion to polymeric materials and method of fabrication

Patent number:

TW502377

Publication date:

2002-09-11

Inventor:

SWANSON LELAND S [US]; JACOBS ELIZABETH G

เบรา

Applicant:

TEXAS INSTRUMENTS INC [US]

Classification:

- international:

H01L21/76

- european:

H01L23/29C; H01L23/31P6; H01L23/31P12

Application number: TW20010115185 20010622

Priority number(s): US20000213300P 20000622

FIG. 3

Abstract of TW502377

An integrated circuit device with a low stress, thin film, protective overcoat having enhanced adhesion both to polymeric materials used in packaging semiconductor devices, and within the passivating film layers, including the following sequence of materials deposited by PECVD processing: a thin film of silicon dioxide, a layer of silicon nitride, oxy-nitride or silicon carbide, and thin topmost layer of silicon oxide.

Data supplied from the esp@cenet database - Worldwide

中華民國專利公報 [19] [12]

[11]公告編號: 502377

91年 (2002) [44]中華民國 09月11日

發明

全 6 頁

[51] Int.Cl ⁰⁷: H01L21/76

稱: 與聚合材料之粘著力增強之半導體裝置保護外層及其製法 [54]名

[21]申請案號: 090115185

[22]申請日期:中華民國 90年 (2001) 06月22日

[32]2000/06/22 [30]優先權: [31]60/213,300 [33]美國

[72]發明人:

史萊藍

喬依莎 [71]申請人:

德州儀器公司

美國

美國

1741代 理人: 蔡中曾 先生

[57]申請專利範圍:

1.一種具有增強粘著力的保護外層之積 體電路,該外層包含下述薄膜層: 第一層,由二氧化矽構成; 第二層,由矽化合物構成,其係選 自於由氮化矽、碳化矽、或氮氧化 矽所組成之群組;以及 第三層,包含二氧化矽之非常薄的 薄層。

- 2.如申請專利範圍第1項所述之積體電 路,其中該第一層之厚度係在5,000 至 10,000 埃的範圍內。
- 3.如申請專利範圍第1項所述之積體電 路,其中該第二層之厚度係在1,000 至 5,000 埃的範圍內。
- 4.如申請專利範圍第1項所述之積體電 路,其中該第三層之厚度係在500至 5,000 埃的範圍內。
- 5.如申請專利範圍第1項所述之積體電 路,其中該等層係藉由電漿增強的 化學氣相沈積法而沈積。

6.如申請專利範圍第1項所述之積體電 路,其中該第三層具有與聚合材料 之強大的粘著力。

2

- 7.如申請專利範圍第1項所述之積體電 5. 路,其中該外層係熱穩定至大於450 $^{\circ}$ $^{\circ}$
 - 8.如申請專利範圍第1項所述之積體電 路,其中該保護外層係為對抗濕 氣、機動離子與其他污染物進入之 阳障。
 - 9.如申請專利範圍第1項所述之積體電 路,其中該第一與第三氧化層具有 與該第二介電層之強大的粘著力。
- 10.一種保護薄膜,包含下述薄膜層: 15. 第一層,由二氧化矽構成; 第二層,由砂化合物構成,其係選 自於由氦化矽、氦氧化矽、或碳化 矽所組成之群組。
- 11.一種具有與聚合材料之粘著力強之 20. 保護外層之覆晶半導體裝置,包含

10.

下述層:

積體電路,具有第一表面,該第一 表面擁有有源電路及互連;

保護外層,被沈積並圖案化在該第一表面上面,該外層包含二氧化矽層、包括選自於由氮化矽、碳化矽、或氮氧化矽所組成之群組之矽的第二介電層之化合物、以及二氧化矽之薄層;

底部填充聚合物;以及 基板,具有複數個焊球接點。

- 12.如申請專利範圍第11項所述之半導 體裝置,其中該裝置係為 BGA 封 裝。
- 13.如申請專利範圍第11項所述之半導 體裝置,其中該裝置係為 CSP。
- 14.一種具有與聚合材料之粘著力增強 之保護外層之引線表面安裝型半導 體裝置,包含;

積體電路,具有第一表面與第二表面,該第一表面擁有有源電路及互連,該第二表面裝設置導線架;

保護外層,被沈積並圖案化在該第一表面上面,該外層包含二氧化矽層、包括選自於由氮化矽、碳化矽、或氮氧化矽所組成之群組之矽化合物之第二介電層、以及第三層之二氧化矽;

複數條接合線,將晶片上之銲墊連 接至導線架;以及模製化合物,包 含環氧聚合物,用以封裝該具有增 強粘著力的保護外層之積體電路晶 片、該等接合線與該導線架之內部 引線。

15.一種形成半導體裝置之方法,該半導體裝置具有保護外層,該保護外層與使用於封裝並在該外層之層間的聚合材料兩者之粘著力增強,該方法包含下述步驟:

將包含己製成積體電路之一個或更

多的半導體晶圓配置於電漿沈積反 應器中;

在使用 PETEOS(電漿輔助四乙氧基 矽烷)製程沈積二氧化矽層之前排空 容室;

改變氣體供應以包含矽甲烷、氮與 氨,使用PECVD(電漿輔助化學氣相 沈積)製程沈積氮化矽層;

改變氣體供應,使用 PETEOS 製程 10. 以沈積二氧化矽薄膜;以及

> 塗敷光阻,對銲墊及/或其他開口 部進行光刻圖案化,並使用乾蝕刻 製程以蝕刻保護外層中之開口部。

- 16.一種形成半導體裝置之方法,該半 15. 導體裝策具有保護外層,該保護外 層與使用於封裝並在該外層之層間 的聚合材料兩者之粘著力增強,該 方法包含下述步驟:
- 將具有已製成積體電路之一個或更 20. 多的半導體晶圓配置於電漿沈積反 應器中;

在使用PETEOS(電漿輔助四乙氧基 矽烷)製程沈積二氧化矽層之前排空 容室;

- 25. 改變氣體供應以包含矽甲烷、氮、 氧與氨,使用PECVD(電漿輔助化學 氣相沈積)製程沈積氮氧化矽層; 改變氣體供應,使用 PETEOS 製程 以沈積二氧化矽薄膜;以及
- 30. 塗敷光阻,對銲墊及/或其他開口 部選行光刻圖案化,並使用乾蝕刻 製程以蝕刻保護外層中之開口部。
- 17.一種形成半導體裝置之方法,該半導體裝置具有保護外層,該保護外 35. 層與使用於封裝並在該外層之層間 的聚合材料兩者之粘著力增強,該 方法包含下述步驟:

在使用 PETEOS(電漿輔助四乙氧基 矽烷)製程沈積二氧化矽層之前排空 容室;

40.

改變氣體供應以包含矽甲烷/甲烷,或例如三甲基或四甲基矽甲烷之有機矽甲烷,使用PECVD(電漿輔助化學氣相沈積)製程沈積碳化矽層;

改變氣體供應,使用 PETEOS 製程 以沈積二氧化矽薄膜;以及

塗敷光阻,對銲墊及/或其他開口 部進行光刻圖案化,並使用乾蝕刻 製程以蝕刻保護外層中之開口部。 圖式簡單說明:

圖1係為具有底部填充封閉劑之 晶片級封裝(習知技術)。 圖 2a 顯示具有覆蓋保護外層之聚 醯亞胺粘著層之晶片表面(習知技術)。

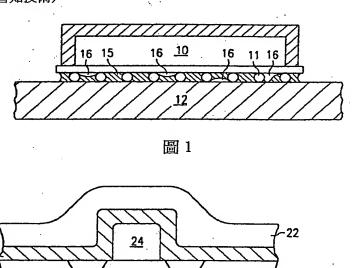
圖 2b 係為以聚醯亞胺塗層包圍半 導體裝置之引線塑膠封裝(習知技術)。

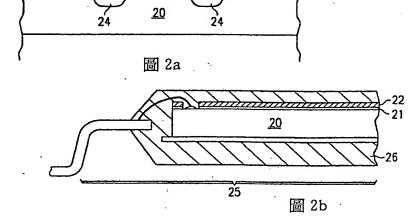
5. 圖 3 顯示本發明之連續保護外層。

圖4a-4d顯示關於本發明之增強粘 著力之保護外層之處理流程。

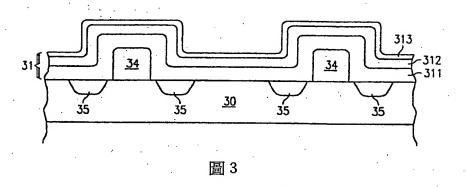
圖 5 係為在 PO 與底部填充材料之 0. 間具有增強粘著力之覆晶組合。

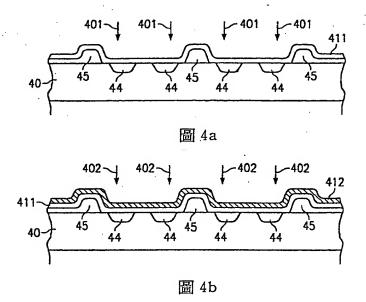
圖 6 係為本發明之模塑半導體裝 置。

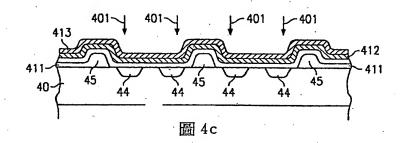




- 3677 -







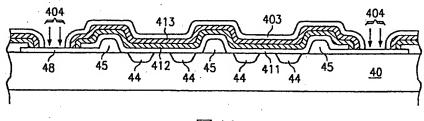


圖 4d

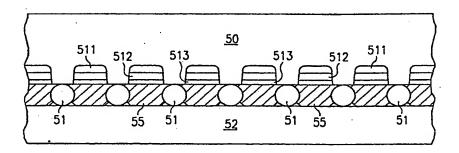


圖 5

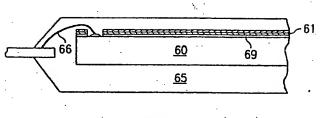


圖 6